

На правах рукописи

Биматов Дмитрий Владимирович

МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ
МНОГОУРОВНЕВОЙ ПАМЯТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Специальность 05.13.11 —
«Математическое и программное обеспечение
вычислительных машин, комплексов и компьютерных сетей»

Автореферат
диссертации на соискание ученой степени
кандидата технических наук

Томск — 2009

Работа выполнена в Томском государственном университете.

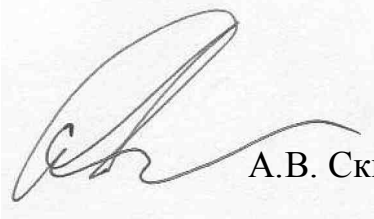
Научный руководитель	доктор технических наук, профессор Сущенко Сергей Петрович
Официальные оппоненты:	доктор технических наук, профессор Назаров Анатолий Андреевич (Томский государственный университет)
	кандидат технических наук, доцент Замятин Александр Владимирович (Томский политехнический университет)
Ведущая организация	Сибирский государственный универси- тет телекоммуникаций и информатики (г. Новосибирск)

Защита состоится 28 мая 2009 г в 10:30 на заседании диссертационно-го совета Д 212.267.08 при Томском государственном университете (634050, г. Томск, пр. Ленина, 36) в аудитории 102 второго корпуса ТГУ.

С диссертацией можно ознакомиться в Научной библиотеке Томского государственного университета

Автореферат разослан 17 апреля 2009 г.

Ученый секретарь
диссертационного совета Д 212.267.08
доктор технических наук, профессор



А.В. Скворцов

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

В настоящее время практически во всех вычислительных системах используется многоуровневая память. Дело в том, что на протяжении последних десятилетий скорость работы памяти растет значительно более низкими темпами по сравнению со скоростью обработки данных в центральном процессоре. Известно, что основные требования к памяти (достаточно большая емкость, высокая скорость и экономическая эффективность) невозможно удовлетворить в одном устройстве, поэтому обычно комбинируют несколько запоминающих устройств с различными параметрами, добиваясь создания комплексного решения с требуемыми характеристиками.

С широким распространением многопроцессорных систем с общей памятью, а также с появлением многоядерных процессоров, позволяющих выполнять несколько независимых потоков команд, нагрузка на подсистему памяти существенно возрастает. При построении высокопроизводительных вычислителей задача построения эффективной подсистемы памяти принимает особое значение, так как реальная производительность многих систем значительно ниже пиковой, в частности, из-за неоптимальной организации работы с памятью.

Эффективность доступа к многоуровневой памяти определяется не только быстродействием и емкостью отдельных уровней подсистемы памяти, но и набором архитектурных параметров, таких как: *размер интерфейсного блока*, *коэффициент ассоциативности* (определяет способ накопления блоков основной памяти в кэше) и *коэффициент неблокируемости* кэш-памяти (определяет степень параллелизма при выполнении операций доступа к различным уровням памяти).

Фундаментальные исследования по организации высокопроизводительных вычислительных систем провели российские и зарубежные ученые, среди них: Б.А. Бабаян, Е.П. Балашов, В.С. Бурцев, В.В. Воеводин, В.М. Глушков, Э.В. Евреинов, А.В. Забродин, А.В. Каляев, С.А. Лебедев, И.В. Прангишвили, Д.В. Пузанков, В.Г. Хорошевский, Н.Н. Яненко, А. Agarwal, S. Cray, M. Flynn, J.L. Hennessy, D.A. Patterson, и другие. Основные классические результаты по исследованию и моделированию многоуровневой памяти получили Т. Кохонен, Э. Таненбаум, К. Хамахер, З. Вранешич, С. Заки, А. Пом, Ю. Лускинд. Новейшие исследования по организации современных вычислительных систем изложены в работах М. Кузьминского, Л. Черняка, В.З. Шнитмана. Однако известные модели многоуровневой памяти не учитывают в явном виде влияние архитектурных параметров памяти на ее операционные характеристики.

В связи со значительным влиянием производительности подсистемы памяти на общую производительность вычислителя, работы по совершенствованию архитектуры памяти приобретают особую актуальность.

Работа проводилась в рамках гранта А04-3.16-426 для поддержки научно-исследовательской работы аспирантов государственных образовательных учреждений высшего профессионального образования, находящихся в ведении Федерального агентства по образованию (конкурс 2004 года, головная организация – Санкт-Петербургский государственный университет).

Целью настоящей работы является разработка методики выбора архитектурных параметров подсистемы памяти, обеспечивающих повышение ее производительности для заданного класса решаемых задач. Для достижения данной цели необходимо решить **следующие задачи**:

- 1) построить и исследовать модели многоуровневой памяти;
- 2) разработать способы расчета операционных характеристик памяти;
- 3) получить методику оптимизации архитектуры многоуровневой памяти.

Методы исследования. При выполнении диссертационной работы использовались методы теории вероятностей, теории массового обслуживания, теории марковских цепей, а также теории вычислительных систем.

Научная новизна определяется следующими положениями:

1. Разработана модель функционирования двухуровневой памяти, отличающаяся учетом архитектурных параметров (коэффициент ассоциативности, размер межуровневого интерфейсного блока) и выполняемых вычислителем задач, позволяющая повысить точность вычисления операционных характеристик памяти.
2. Разработана конвейерная модель двухуровневой памяти симметричной многопроцессорной системы, отличающаяся учетом коэффициента неблокируемости кэша и количества процессоров, позволяющая вычислять операционные характеристики памяти.
3. Предложена методика аналитического расчета вероятностей попадания в кэши многоуровневой памяти, отличающаяся необходимостью задания отображения распределения востребованности блоков памяти только в кэш первого уровня и позволяющая оптимизировать число уровней памяти.

Теоретическая значимость. На основе предложенных моделей многоуровневой памяти получены явные аналитические зависимости

для вычисления операционных характеристик памяти по заданным архитектурным параметрам и заданному распределению востребованности блоков основной памяти.

Предложенные модели могут быть использованы для построения математических моделей подсистемы памяти вычислителей с распределённой памятью.

Практическая ценность. Предложенная методика может быть использована для проектирования эффективных подсистем памяти, а также для оценки производительности и сравнительного анализа существующих систем. Разработанное в рамках диссертационной работы программное обеспечение позволяет численно оценивать и оптимизировать производительность подсистемы памяти симметричных многопроцессорных систем, а также получать частоты обращений к блокам памяти при выполнении прикладных программ.

Достоверность аналитических зависимостей, полученных в данной работе, подтверждается (а) строгими математическими выкладками, проведенными в соответствии с теорией вероятностей, теорией массового обслуживания; (б) результатами численных расчетов; (в) а также результатами внедрения.

Внедрение результатов работы. Материалы настоящего исследования используются в учебном процессе при чтении спецкурсов лекций «Архитектура вычислительных систем и компьютерных сетей», «Принципы организации многопроцессорных комплексов» на факультете информатики Томского государственного университета.

Результаты диссертационной работы используются в ООО «Триаксес Вижн» для оптимизации аппаратно-программных комплексов обработки графических изображений и видео-поток.

Положения, выносимые на защиту:

1. Модель двухуровневой памяти однопроцессорной вычислительной системы, явно учитывающая коэффициент ассоциативности кэша и размер интерфейсного блока.
2. Конвейерная модель двухуровневой памяти симметричной многопроцессорной системы, явно учитывающая коэффициент неблокируемости кэша.
3. Методика расчета операционных характеристик и оптимизации количества уровней подсистемы памяти при заданном классе выполняемых на вычислительной системе прикладных задач.

Апробация работы и публикации. По результатам выполненных исследований опубликовано 10 печатных работ, в том числе 2 публикации в журналах из списка ВАК. Основные результаты диссер-

тационной работы докладывались и обсуждались на следующих научно-технических форумах: V Всероссийской конференции «Наука и образование» (Томск, 2001); II-ой Международной конференции молодых ученых и аспирантов «Актуальные проблемы современной науки» (Самара, 2001); XLI Международной научной студенческой конференции «Студент и научно-технический прогресс» (Новосибирск, 2003); Всероссийской конференции «Наука и практика: диалоги нового века» (Анжеро-Судженск, 2003); III Всероссийской научно-практической конференции «Информационные технологии и математическое моделирование» (Анжеро-Судженск, 2004); XI Всероссийской научно-практической конференции «Научное творчество молодежи» (Анжеро-Судженск, 2007); IV-ой Сибирской школе-семинаре по параллельным и высокопроизводительным вычислениям (Томск, 2007).

Личный вклад. Основные научные результаты получены автором самостоятельно. Постановка задачи была выполнена автором совместно с научным руководителем. Разработка программ для расчета операционных характеристик многоуровневой памяти была произведена автором единолично.

Структура и содержание диссертационной работы. Диссертационная работа состоит из введения, четырех глав, заключения, списка литературы. Общий объем диссертации – 144 страницы, включая 61 рисунок, 3 таблицы и список литературы из 152 наименований.

СОДЕРЖАНИЕ РАБОТЫ

В первой главе проведен обзор архитектур многоуровневой памяти, проанализированы известные результаты по моделированию подсистем памяти и намечены основные направления исследований настоящей диссертационной работы.

Во второй главе исследованы свойства двухуровневой памяти. Предложена модель двухуровневой подсистемы памяти, состоящей из кэша и основной памяти. Кэш и основная память разбиты на блоки (строки) фиксированной длины l . Количество блоков в кэше — V , а в основной памяти — $V_{\text{ОЗУ}}$. В кэше блоки объединяются в группы объемом $A \geq 1$ блоков. Число A называется коэффициентом ассоциативности. При $A=1$ имеем кэш прямого отображения (КПО). При $A=V$ (размер группы совпадает с общим количеством блоков в кэше) получаем полностью ассоциативный кэш (ПАК). Промежуточные значения параметра A приводят к множественному ассоциативному кэшу (МАК). На каждую g -тую группу блоков кэша ($g = \overline{0, G-1}$) отобража-

ется последовательность блоков памяти с номерами $g + Gm$, $m = \overline{0, M-1}$, где $G = V/A$ — количество групп в кэше, а $M = V_{OZY}/G$ — количество блоков памяти, отображаемых на группу кэша.

В качестве меры эффективности памяти используются операционные характеристики «вероятность попадания в кэш» Π и «среднее время доступа к блоку памяти» T . Предполагается, что заданы вероятности $p(g + Gm)$ обращения вычислителя к блоку памяти с номером $(g + Gm)$, которые отражают класс задач, выполняемых на вычислительной системе. Естественно, что распределение $p(g + Gm)$ должно удовлетворять условию нормировки.

В общем случае вероятность попадания в кэш может быть вычислена по формуле:

$$\Pi = \sum_{g=0}^{G-1} \sum_{m=0}^{M-1} \Pi(g + G_u m) \cdot p(g + Gm), \quad (1)$$

где $\Pi(g + Gm)$ — вероятность того, что $(g + Gm)$ -й блок основной памяти находится в кэше. Среднее время доступа к блоку двухуровневой памяти может быть вычислено по следующей формуле

$$T = \tau + (1 - \Pi) \cdot K\tau = (1 + RK)\tau, \quad (2)$$

где τ — время поиска и выбора блока из кэша, $K\tau$ — время выбора блока из оперативной памяти (K — натуральное число), $R = 1 - \Pi$ — вероятность промаха в кэш. Отметим, что часто множитель τ опускают, вычисляя среднее время доступа в тактах работы кэша.

Для исследования эффективности работы кэша в настоящей работе используется модель кэша с *идеальной стратегией вытеснения* блоков. В этом случае предполагается, что исследователю заранее известно распределение вероятностей востребованности блоков памяти вычислителем. В работах С.П. Сущенко доказано, что при идеальном вытеснении вероятность нахождения блока памяти с номером $g + Gm$ в кэше равна:

$$\Pi(g + Gm) = \begin{cases} 1, & m = \overline{0, A-2} \\ \frac{p(g + Gm)}{\sum_{i=A-1}^{M-1} p(g + Gi)}, & m = \overline{A-1, M-1}, \end{cases} \quad (3)$$

Соответственно при идеальном вытеснении (3) вероятность попадания в кэш (1) вычисляется так:

$$\Pi = \sum_{g=0}^{G-1} \left[\sum_{m=0}^{A-2} p(g + Gm) + \frac{\sum_{m=A-1}^{M-1} [p(g + Gm)]^2}{\sum_{m=A-1}^{M-1} p(g + Gm)} \right]. \quad (4)$$

Для получения аналитических зависимостей операционных характеристик кэш-памяти необходимо задать распределение вероятности востребованности блоков $p(g + Gm)$. С одной стороны это распределение должно быть достаточно простым, с другой стороны – представлять собой широкий спектр распределений, встречающихся на практике. Поэтому в настоящей работе мы используем *усеченное геометрическое* распределение, одинаковое для каждой группы кэша:

$$p(g + Gm) = \begin{cases} \frac{(1-q) \cdot q^m}{G \cdot (1-q^{\alpha A})}, & m = \overline{0, \alpha A - 1} \\ 0, & m = \overline{\alpha A, M - 1} \end{cases} \quad (5)$$

Здесь $\frac{1}{A} \leq \alpha \leq \frac{M}{A}$ – доля оперативной памяти, занятая востребованными вычислителем приложениями, выраженная в количестве объемов кэша первого уровня, а $0 \leq q \leq 1$ – параметр усеченного геометрического распределения.

При усеченном геометрическом распределении (5) на основе выражения (4) получена зависимость для вычисления вероятности попадания в кэш:

$$\Pi = \frac{1 + q - 2q^A + q^{\alpha A} (1 - q)}{(1 - q^{\alpha A}) \cdot (1 + q)}. \quad (6)$$

Очевидно, что при $q = 0$ (вероятностная масса сосредоточена в одном элементе группы) кэш работает без промахов и выражение (6) упрощается: $\Pi = 1$; при $q = 1$ (равномерное распределение) вероятность попадания в кэш минимальна и составляет: $\Pi = \frac{1}{\alpha}$.

Далее рассмотрено влияние увеличения размера блока на производительность двухуровневой памяти. Отдельно рассматриваются два типа архитектуры кэша: 1 — полностью ассоциативный кэш; 2 — множественный ассоциативный кэш, включая кэш прямого отображения. В каждом случае рассматривается по два крайних способа объединения блоков: (а) объединение максимально далеких по вероятности востребованности блоков; (б) объединение соседних по вероятности

сти востребованности блоков. Очевидно, случай (а) соответствует лучшему результату с точки зрения вероятности попадания в кэш, случай (б) соответствует худшему результату. В реальности характер объединения блоков предсказать заранее невозможно, следует ожидать результатов в диапазоне от случая (а) к случаю (б). В итоге получены аналитические зависимости для вычисления вероятности попадания адресуемого объекта в кэш от кратного увеличения размера интерфейсного блока для различных (четырех) вариантов изменения отображения блоков памяти в кэш при объединении исходных блоков в новый супер-блок (рис. 1, 2).

Установлено, что увеличение размера блока не увеличивает вероятность попадания в кэш с произвольным коэффициентом ассоциативности на всем диапазоне изменения параметра q . При равномерном распределении вероятность попадания в кэш инвариантна к размеру блока.

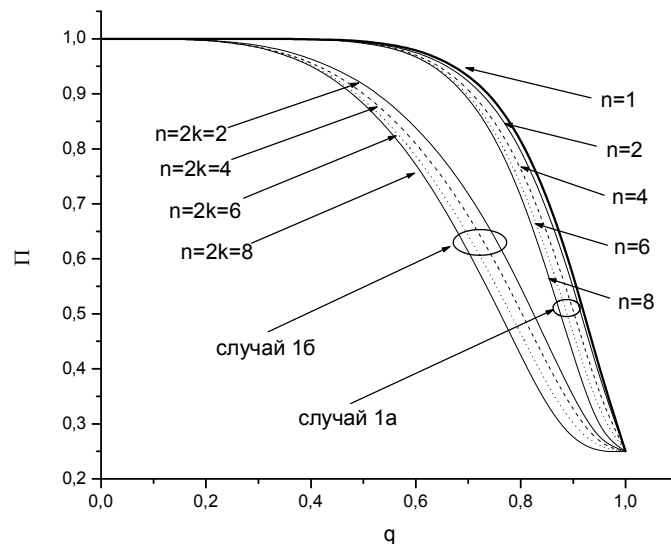


Рис. 1. Зависимость вероятности попадания в полностью ассоциативный кэш от параметра геометрического распределения q при увеличении размера блока в n раз

Также выполнены численные исследования влияния размера блока на индексы быстродействия подсистемы памяти. Показано (рис. 3), что размер интерфейсного блока подсистемы памяти имеет оптимальное значение, минимизирующее показатель среднего удельного времени доступа (среднее время доступа к одному байту – вычисляется на основе выражения (2)).

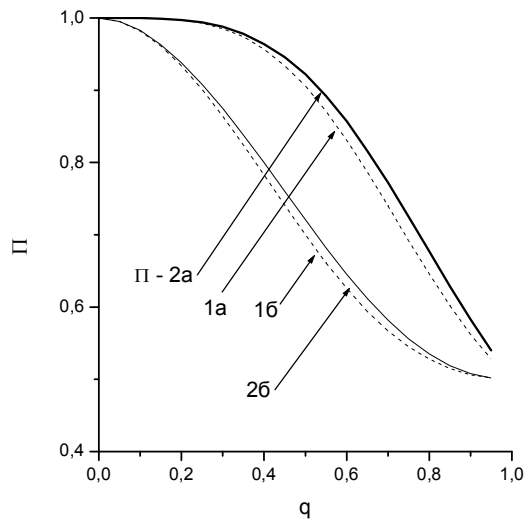


Рис. 2. Зависимость вероятности попадания в кэш от параметра геометрического распределения q при исходном (жирная линия) и вдвое увеличенном размере блока при различных способах объединения блоков

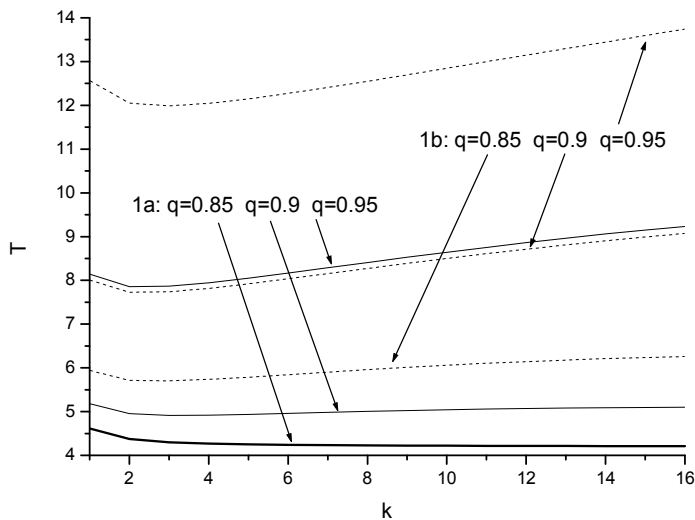


Рис. 3. Зависимость удельного среднего времени доступа \overline{T}_n от размера блока $2kl$ при различных способах объединения блоков (случаи 1а и 1б) и различных параметрах геометрического распределения q (кэш полного отображения)

В третьей главе вводится модель многоуровневой памяти с количеством уровней равным $U > 1$. На каждом уровне $u = \overline{1, U-1}$ кроме последнего, находится кэш; последний уровень $u = U$ занимает оперативная память. Количество блоков в оперативной памяти равно $V_U = V_{OZY}$. Время выбора блока из оперативной памяти равно $K_U = K_{OZY}$, а время поиска и выбора блока из кэша уровня u равно K_u .

Кэш каждого уровня характеризуется объемом кэша в блоках V_u , количеством групп G_u , коэффициентом ассоциативности $A_u = V_u / G_u$, количеством блоков оперативной памяти, отображаемых на группу кэша u -го уровня $M_u = V_{O3Y} / G_u$.

В общем случае соотношение для вычисления вероятности попадания в кэш уровня u с точностью до индексов аналогично соотношению для двухуровневой подсистемы памяти (1):

$$\Pi_u = \sum_{g=0}^{G_u-1} \sum_{m=0}^{M_u-1} \Pi_u(g + G_u m) \cdot p(g + G_u m), \quad (7)$$

где $\Pi_u(g + G_u m)$ — вероятность того, что m -й блок оперативной памяти, отображаемый на g -ю группу кэша уровня u , находится в нем. Среднее время доступа к блоку многоуровневой памяти T вычисляется по следующей формуле:

$$T_U(K_1, K_2, \dots, K_U) = \sum_{u=1}^U \left[K_u \cdot \prod_{i=1}^{u-1} (1 - \Pi_i) \right] = \sum_{u=1}^U \left[K_u \cdot \prod_{i=1}^{u-1} R_i \right], \quad (8)$$

где $R_i = 1 - \Pi_i$ - вероятность промаха в кэш уровня i (7). В рамках рассматриваемой модели очевидно, что $R_U = 0$, $\Pi_U = 1$.

Далее рассмотрена задача получения распределений востребованности процессором блоков памяти, отображаемых на кэши различных уровней, по известному распределению отображения лишь на один самый близкий к процессору кэш. В случае, когда количество групп в кэше u -го уровня кратно количеству групп в кэше первого уровня ($G_u = e_u \cdot G_1$, e_u - натуральное число) были получены зависимости для вычисления вероятности попадания в кэш первого уровня:

$$\Pi_1 = \sum_{g=0}^{G_1-1} \left[\sum_{m=0}^{A_1-2} p(g + G_1 m) + \frac{\sum_{m=A_1-1}^{M_1-1} [p(g + G_1 m)]^2}{\sum_{m=A_1-1}^{M_1-1} p(g + G_1 m)} \right] \quad (9)$$

и в кэш уровня u :

$$\Pi_u = \sum_{g=0}^{G_1-1} \sum_{n=0}^{e_u-1} \left[\sum_{m=0}^{A_u-2} p(g + G_1 n + e_u G_1 m) + \frac{\sum_{m=A_u-1}^{M_u-1} [p(g + G_1 n + e_u G_1 m)]^2}{\sum_{m=A_u-1}^{M_u-1} p(g + G_1 n + e_u G_1 m)} \right]. \quad (10)$$

В случае усеченного геометрического распределения востребованности блоков памяти вычислителем (5) на основе (9), (10) получены зависимости для вычисления вероятностей попадания в кэши различных уровней:

$$\Pi_1 = \frac{1 + q - 2q^{A_1} + q^{\alpha A_1} (1 - q)}{(1 + q) \cdot (1 - q^{\alpha A_1})}, \quad 0 \leq q < 1; \quad (11)$$

$$\Pi_u = \frac{1 + q^{e_u} - 2q^{e_u A_u} + q^{\alpha A_u} (1 - q^{e_u})}{(1 + q^{e_u}) \cdot (1 - q^{\alpha A_u})}, \quad 0 \leq q < 1. \quad (12)$$

При равномерном распределении зависимости (11), (12) упрощаются:

$$\Pi_1 = \frac{1}{\alpha}; \quad \Pi_u = \frac{e_u A_u}{\alpha A_1} = \frac{V_u}{\alpha V_1}, \quad \text{где } V_i, i=1,2 - \text{емкость кэша } i\text{-го уровня.}$$

Анализ влияния коэффициента ассоциативности на производительность многоуровневой памяти показал, что его увеличение снижает среднее время доступа к многоуровневой памяти на всем диапазоне изменения параметра геометрического распределения q . (рис. 4).

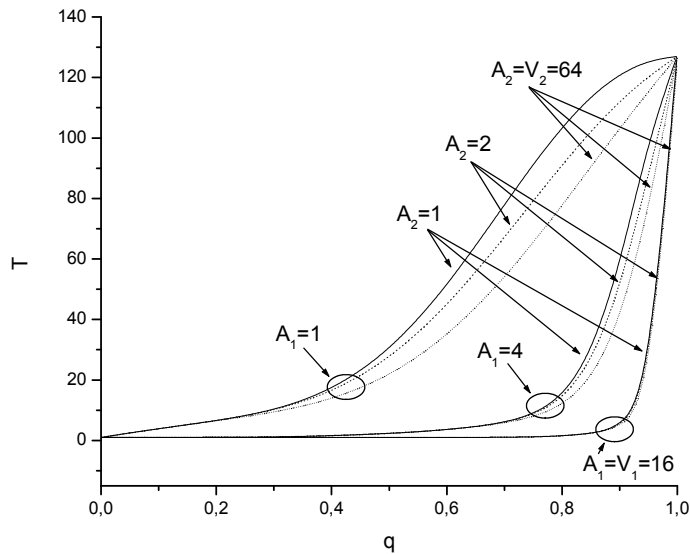


Рис. 4. Зависимость среднего времени доступа T трехуровневой памяти от параметра усеченного геометрического распределения q при различных значениях ассоциативности кэша первого и второго уровней: A_1, A_2 .

Далее предложена методика выбора количества уровней иерархической памяти и получены условия целесообразности архитектурной реструктуризации подсистемы памяти. Предположим, что в исходную многоуровневую подсистему иерархической памяти (количество уровней — U) добавляется еще один уровень памяти перед уровнем с номером a . Пусть время доступа к добавляемому уровню памя-

ти — K_* , а вероятность промаха — R_* . Тогда целесообразность добавления уровня памяти в существующую систему перед уровнем с номером a выражается неравенством:

$$\Delta T^{(a)} = T_U(K_1, \dots, K_U) - T_{U+1}^{(a)}(K_1, \dots, K_{a-1}, K_*, K_a, \dots, K_U) \geq 0. \quad (13)$$

Здесь $T_U(K_1, \dots, K_U)$ - среднее время доступа к исходной подсистеме памяти (8), а $T_{U+1}^{(a)}(K_1, \dots, K_{a-1}, K_*, K_a, \dots, K_U)$ – среднее время доступа к подсистеме памяти с дополнительно введенным на a -ом уровне кэшем. При подстановке и приведении подобных в выражение (13) получаем критерий целесообразности добавления уровня к подсистеме памяти:

$$\frac{K_*}{1 - R_*} \leq \sum_{u=a}^U K_u \prod_{i=a}^{u-1} R_i. \quad (14)$$

То есть добавление еще одного уровня памяти перед уровнем с номером a целесообразно, если отношение длительности обращения к добавляемому уровню памяти к вероятности попадания в добавляемый уровень памяти меньше среднего времени доступа к уровням памяти более высокого уровня (рис. 5).

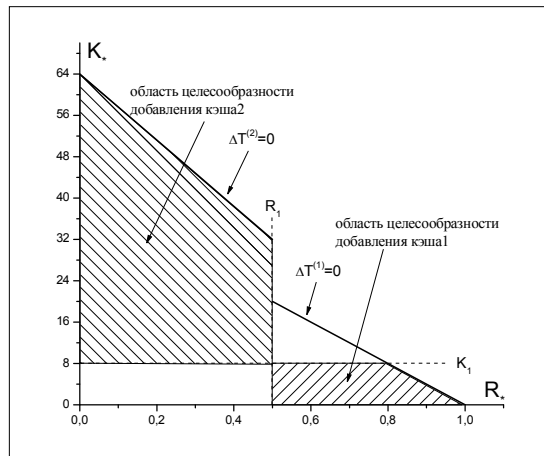


Рис. 5. Области целесообразности добавления кэша первого и второго уровней к двухуровневой подсистеме памяти с параметрами $R_1=0,5$; $K_1=8$; $K_{O3Y}=64$.

Целесообразность добавления кэша к двухуровневой подсистеме памяти выражается на основе (14) следующими неравенствами:

$$\frac{K_*}{1 - R_*} \leq K_1 + R_1 K_{O3Y} \quad \text{— при добавлении кэша первого уровня;}$$

$$\frac{K_*}{1 - R_*} \leq K_{O3Y} \quad \text{— при добавлении кэша второго уровня.}$$

Рис. 6 показывает выигрыш (выраженный в разнице среднего времени доступа к исходной и измененной подсистеме памяти) от добавления кэша второго уровня к двухуровневой памяти при заданном параметре геометрического распределения q и различных временах обращения к добавляемому кэшу K_2 . Видно, что чем больше время обращения к добавляемому кэшу K_2 , тем уже диапазон изменения параметра q , при котором целесообразно добавлять дополнительный кэш (кривая выше оси ординат).

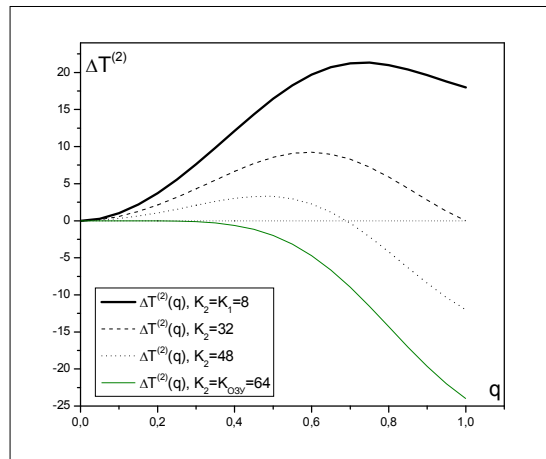


Рис. 6. Выигрыш от добавления кэша второго уровня объемом $V_2=32$ и ассоциативностью $A_2=2$ с различными временами обращения K_2 к двухуровневой подсистеме памяти с параметрами $V_1=16$, $V_{озв}=64$ ($\alpha=4$); $A_1=2$, $K_1=8$, $K_{озв}=64$

В четвертой главе исследовано влияние параметра глубины неблокируемости кэша на операционные характеристики подсистемы памяти многопроцессорной вычислительной системы.

Предложена математическая модель функционирования двухуровневой подсистемы памяти неблокирующего типа для многопроцессорной системы с общей памятью. При этом процесс функционирования подсистемы памяти описывается работой двухстадийного конвейера. На первой фазе работы конвейера выполняется обращение к кэш-памяти. Длительность этой фазы равна времени доступа к кэшу t . При попадании в кэш выполняется следующий запрос к подсистеме памяти. В случае промаха одновременно происходит обработка текущего запроса на второй фазе – фазе доступа к основной памяти и следующей транзакции – на первой фазе. Таким образом, факт обработки транзакции доступа к подсистеме памяти на второй фазе является случайным событием. Время обработки запроса составляет Kt .

Фаза доступа к основной памяти вычислителя описывается системой массового обслуживания с дискретным временем, многоэтап-

ным обслуживанием и конечным накопителем. Функционирование данной системы массового обслуживания в стационарном режиме задается цепью Маркова в M -мерном пространстве, где M – количество процессоров. Время между поступлениями заявок от m -того процессора (транзакций обращения к основной памяти) кратно t и имеет геометрическое распределение с параметром, равным вероятности промаха в кэш данного процессора R_m . Для завершения одной транзакции оперативной памяти требуется выполнить K этапов.

Выделяются следующие параметры моделируемой подсистемы памяти: число процессоров в вычислительной системе (M); глубина неблокируемости кэша каждого процессора (N); время выбора элемента из оперативной памяти K (в тактах обращения к кэшу t); вектор вероятностей промаха $\vec{R} = (R_1, R_2, \dots, R_M)$, где R_m - вероятность промаха в кэш m -го процессора.

Затем вычисляются вероятности состояний цепи Маркова, описывающей функционирование подсистемы памяти многопроцессорного вычислителя конвейерной моделью. Аналитически получены вероятности состояний марковских цепей, соответствующих некоторым подсистемам памяти вычислительных систем с количеством процессоров до четырех (коэффициент неблокируемости $N=1, 2$). Численно возможно вычислить вероятности состояний марковской цепи, соответствующей подсистеме памяти с произвольными значениями параметров M, N, K, R .

На рис. 7 приведена марковская цепь, соответствующая подсистеме памяти двухпроцессорного вычислителя ($M=2$) с параметрами: $N=2, K=2$. Номер состояния состоит из двух чисел, каждое число – это количество этапов для обработки на второй фазе конвейера от соответствующего процессора. При увеличении значений параметров K , неблокируемости N , количества процессоров M количество состояний и сложность соответствующей марковской цепи стремительно растут.

В качестве операционных характеристик подсистемы памяти используются «среднее время доступа» и «пропускная способность»; сформулированы способы их расчета на основе вероятностей состояний марковской цепи.

С помощью разработанного в рамках диссертационной работы программного комплекса SMPMemMark проведен анализ влияния архитектурных параметров подсистемы памяти на ее индексы производительности. В частности, выяснилось, что увеличение коэффициента неблокируемости кэша снижает среднее время доступа при низких значениях вероятности промаха в кэш (рис. 8) и увеличивает пропуск-

ную способность при любом значении вероятности промаха в кэш (рис. 9).

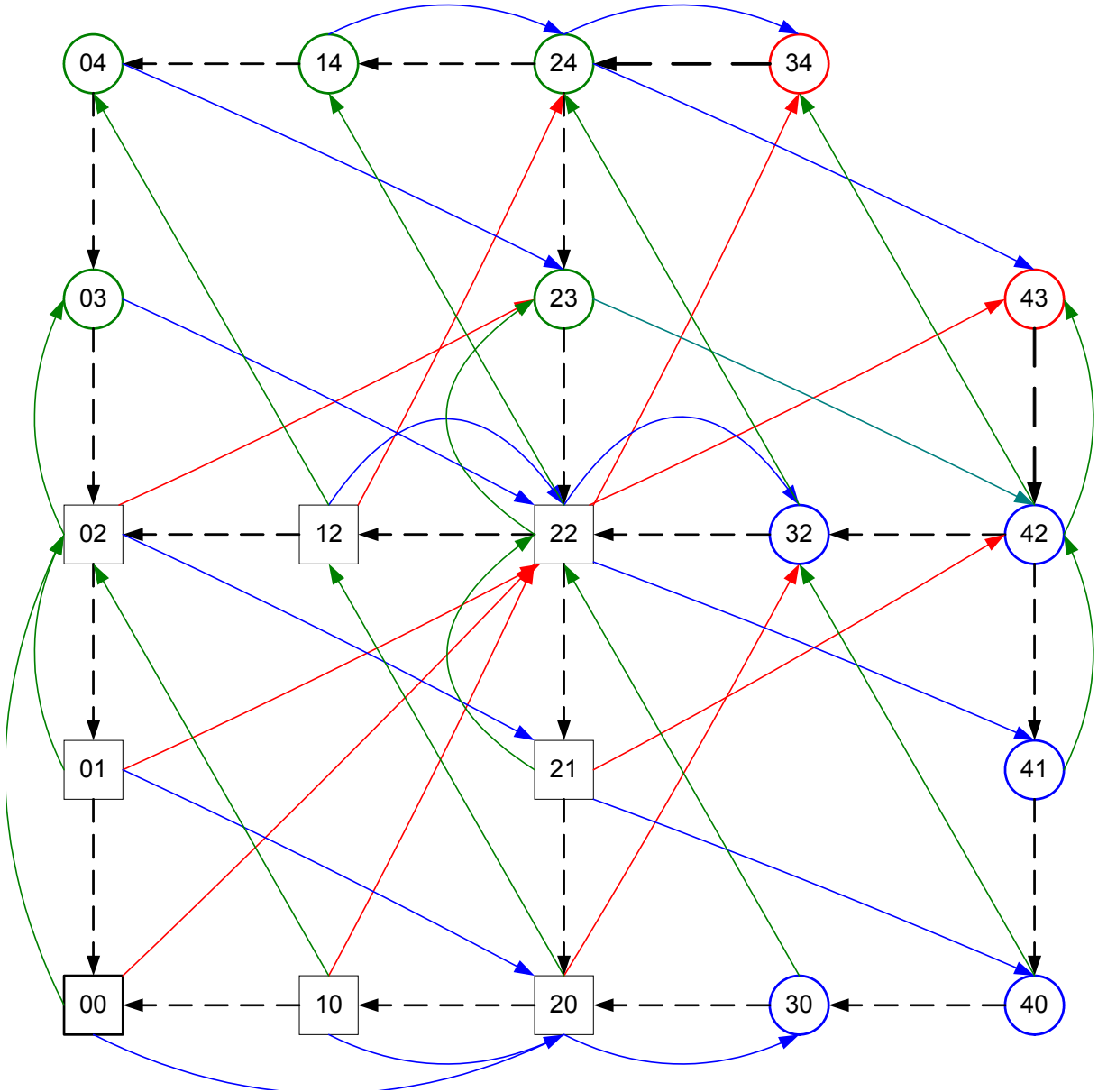


Рис. 7. Марковская цепь для подсистемы памяти двухпроцессорного вычислителя ($M=2$) с коэффициентом неблокируемости $N=2$ ($K=2$)

Для вычисления операционных характеристик по предлагаемым моделям необходимо задать распределение вероятностей обращения вычислителя к блокам основной памяти. Далее предложен способ определения частот обращений к блокам памяти вычислителем (рис. 10), а также способ определения вероятности промаха при выполнении тес-

того приложения в реальной вычислительной и программной среде с помощью разработанной автором утилиты MemMap.

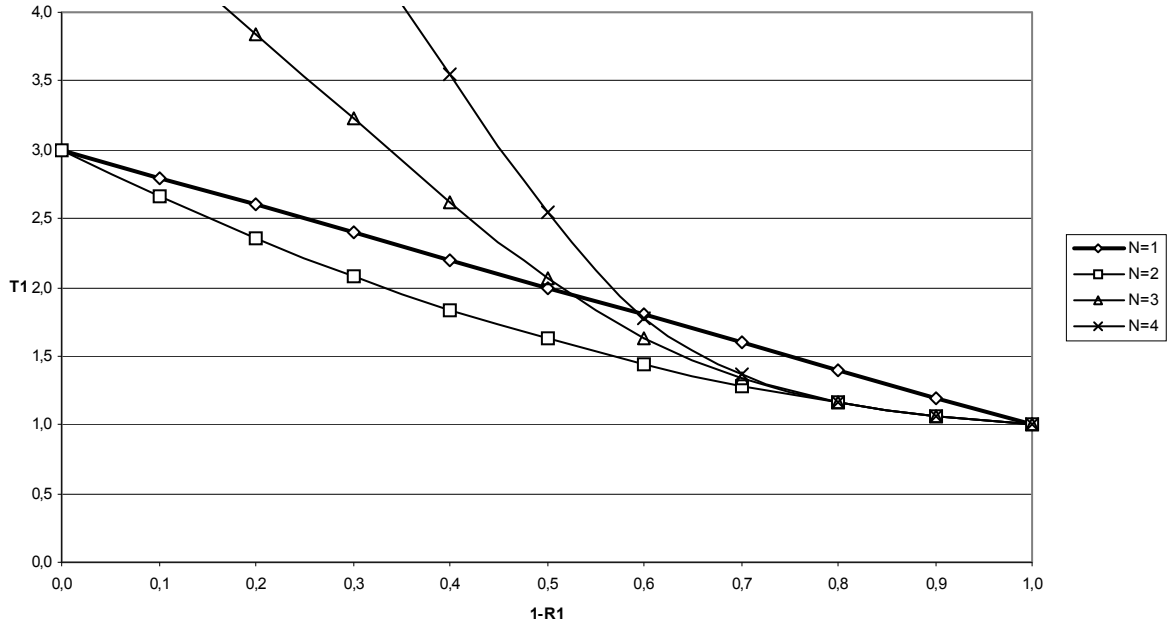


Рис. 8. Влияние вероятности промаха в кэш R_1 на среднюю задержку T_1 при различных значениях коэффициента неблокируемости N ($M=1, K=2$)

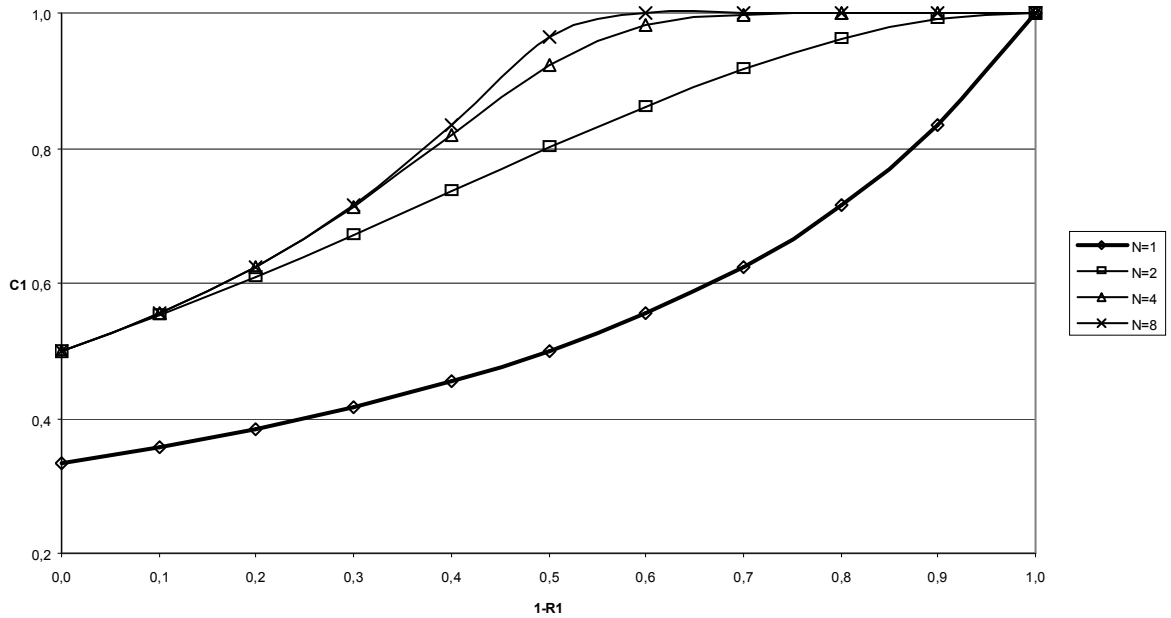


Рис. 9. Влияние вероятности промаха в кэш R_1 на пропускную способность C_1 при различных значениях коэффициента неблокируемости N ($M=1, K=2$)
Сравнительный анализ теоретически вычисленных и практически полученных вероятностей промаха в кэши различных уровней вычисли-

теля на основе процессора Intel Pentium M показал достаточную адекватность разработанных моделей и позволил обнаружить неучтенный в модели эффект предвыборки данных в кэш.

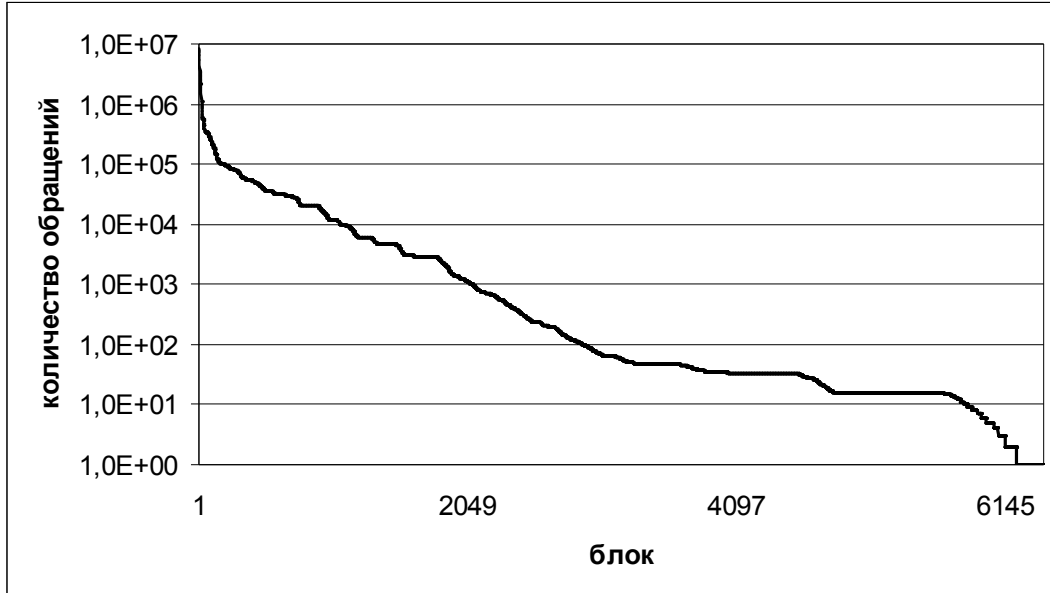


Рис. 10. Частоты обращений к блокам основной памяти при кодировании аудиофайла из формата WAV в формат MP3 (приложение Lame)

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ

В диссертационной работе рассмотрены вопросы моделирования процесса доступа к адресуемым объектам вычислителя и разработки способов расчета операционных характеристик многоуровневой памяти.

1. Из сравнительного анализа подходов к изучению процессов управления доступом к данным в многоуровневой памяти вычислительных систем, **выделены** наиболее существенные факторы и структурные особенности различных уровней, определяющие операционные характеристики подсистемы памяти.

2. **Разработана** модель двухуровневой памяти однопроцессорного вычислителя, отличающаяся возможностью исследования влияния размера интерфейсного блока, коэффициента ассоциативности и вида распределения востребованности блоков основной памяти вычислителем на операционные характеристики подсистемы памяти

3. **Установлено**, что для широкого класса распределений востребованности данных вычислителем с увеличением длины блока вероятность попадания в кэш не возрастает, но среднее удельное время доступа к адресуемым объектам имеет унимодальный характер с ярко выраженным минимумом.

4. **Предложен** способ получения распределений востребованности приложений процессором для отображений основной памяти на кэши различных уровней по известному распределению отображения памяти на кэш первого уровня. На основе получаемых распределений определены операционные характеристики многоуровневой памяти.

5. **Сформулированы** условия целесообразности изменения структуры многоуровневой памяти блокирующего типа, обеспечивающие повышение ее быстродействия.

6. **Показано**, что с ростом ассоциативности и коэффициента неблокируемости кэша общая производительность подсистемы памяти возрастает до режима насыщения.

7. **Построена** конвейерная модель двухуровневой памяти симметричной многопроцессорной вычислительной системы, на основе которой разработано программное обеспечение SMPMemMark для численного расчета вероятности состояний моделирующей цепи Маркова и операционных характеристик подсистемы памяти с произвольными значениями числа процессоров и параметров памяти. Получены численные зависимости производительности подсистемы памяти от количества процессоров.

8. **Разработана** утилита MemMap тестового мониторинга выполнения прикладных программ для экспериментального сбора частот обращений к блокам оперативной памяти. Также утилита позволяет вычислять вероятности промаха в кэши различных уровней.

ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ

Статьи в периодических изданиях из списка ВАК для публикации результатов диссертаций:

1. Биматов Д.В., Сущенко М.С., Сущенко С.П. Моделирование разделяемой памяти двухпроцессорной вычислительной системы // Вестник Томского гос. ун-та, 2003, №280. — С. 319–323.
2. Биматов Д.В., Сущенко С.П. Об эффективности многоуровневой памяти вычислительной системы // Обозрение прикладной и промышленной математики, 2008, Т. 15, вып. 1. — С. 117–118.

Публикации в других изданиях:

1. Биматов Д.В., Сущенко С.П. Анализ производительности многоуровневой подсистемы памяти // Вестник Томского гос. ун-та. Серия «Управление, вычислительная техника и информатика», 2007, № 1. — С. 92–100.

2. Биматов Д.В. Моделирование трехуровневой подсистемы памяти // Материалы XI Всероссийской научно-практической конференции «Научное творчество молодежи», Ч.1. — Томск: Изд-во Том. ун-та, 2007. — С. 61–64.
3. Биматов Д.В. О целесообразности изменения количества уровней в многоуровневой памяти // Материалы IV Сибирской школы-семинара по параллельным и высокопроизводительным вычислениям. — Томск, 2008. — С. 185-191.
4. Биматов Д.В., Севостьянов Д.В., Сущенко М.С., Сущенко С.П. Вероятностные модели кэша: анализ эффективности // Сборник трудов V Всероссийской конференции «Наука и образование». — Томск: Изд-во ТГПУ, 2001. — С. 28-30.
5. Биматов Д.В., Севостьянов Д.В., Сущенко С.П. Анализ эффективности процессорного кэша // Тезисы докладов 2-ой Международной конференции молодых ученых и аспирантов «Актуальные проблемы современной науки». Естественные науки. Ч.4. — Самара: Изд-во СамГТУ, 2001. — С. 20.
6. Биматов Д.В., Сущенко С.П. Исследование эффективности кэша неблокирующего типа // Материалы XLI Международной научной студенческой конференции «Студент и научно-технический прогресс»: Информационные технологии. — Новосибирск: Изд-во Новосиб. гос. ун-та, 2003. — С. 102.
7. Биматов Д.В., Сущенко С.П. Моделирование современных высокопроизводительных вычислителей // Материалы Всероссийской конференции «Наука и практика: диалоги нового века», Ч.3. — Томск: Изд-во Том. ун-та, 2003. — С. 98–99.
8. Биматов Д.В., Сущенко С.П. Численное моделирование иерархической неблокируемой памяти для вычислительных систем с разделяемой памятью // Материалы III Всероссийской научно-практической конференции «Информационные технологии и математическое моделирование», Ч.1. — Томск: Изд-во Том. ун-та, 2004. — С. 113–115.